

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 7 月 15 日 (15.07.2004)

PCT

(10) 国際公開番号
WO 2004/059744 A1

- (51) 国際特許分類⁷: H01L 29/778,
29/812, 29/201, 21/338, 21/205
- (21) 国際出願番号: PCT/JP2003/016395
- (22) 国際出願日: 2003 年 12 月 19 日 (19.12.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2002-374547
2002 年 12 月 25 日 (25.12.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友化学
工業株式会社 (SUMITOMO CHEMICAL COMPANY,
LIMITED) [JP/JP]; 〒541-8550 大阪府 大阪市 中央区北

- 浜四丁目5番33号 Osaka (JP). 住化エピソリューション株式会社 (SUMIKA EPI SOLUTION COMPANY, LTD.) [JP/JP]; 〒104-8260 東京都 中央区 新川二丁目 27 番 1 号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 長田 剛規 (OS-
ADA, Takenori) [JP/JP]; 〒299-0125 千葉県 市原市 有秋
台西 1-9-331 Chiba (JP). 中野 強 (NAKANO, Tsuyoshi)
[JP/JP]; 〒299-0125 千葉県 市原市 有秋台西 1-9-642
Chiba (JP). 井上 孝行 (INOUE, Takayuki) [JP/JP]; 〒
299-0245 千葉県 袖ヶ浦市 蔵波台 3-4-18 Chiba (JP).
- (74) 代理人: 浅村 皓 , 外 (ASAMURA, Kiyoshi et al.); 〒
100-0004 東京都 千代田区 大手町 2 丁目 2 番 1 号 新大
手町ビル 331 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,
BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE,

[続葉有]

(54) Title: COMPOUND SEMICONDUCTOR EPITAXIAL SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 化合物半導体エピタキシャル基板及びその製造方法

i- GaAs 20nm	14
i- Al _{0.25} Ga _{0.75} As 3nm	13
n- Al _{0.24} Ga _{0.76} As 10nm 3E18/cm ³	12
i- Al _{0.24} Ga _{0.76} As 3nm	11
i- GaAs 6nm	10
i- In _{0.30} Ga _{0.70} As 7.5nm	9
i- GaAs 6nm	8
i- Al _{0.24} Ga _{0.76} As 3nm	7
n- Al _{0.24} Ga _{0.76} As 4nm 3E18/cm ³	6
i- Al _{0.25} Ga _{0.75} As 200nm	5
i- GaAs 250nm	4
i- Al _{0.25} Ga _{0.75} As 250nm	3
i- GaAs 200nm	2
GaAs 単結晶基板	1

1...GaAs SINGLE CRYSTAL
SUBSTRATE

(57) Abstract: A compound semiconductor epitaxial substrate which is used for pseudomorphic high-electron-mobility field-effect transistors and comprises an InGaAs layer serving as a channel layer (9) and AlGaAs layers containing n-type impurities serving as electron supply layers (6, 12) is disclosed. By setting the In proportion in the InGaAs layer formed as the channel layer (9) not less than 0.25 and optimizing the In proportion and the film thickness of the channel layer (9), the channel layer (9) has an electron mobility of 8,300 cm²/V·s or higher at room temperature. GaAs layers (8, 10) having a film thickness not less than 4 nm may be formed on both sides of the channel layer (9).

(57) 要約: InGaAs 層をチャネル層 9、n 型不純物を含有する AlGaAs 層を電子供給層 6 及び 12 とする歪チャネル高電子移動度電界効果型トランジスタに用いられる化合物半導体エピタキシャル基板において、チャネル層 9 を構成する InGaAs 層の In 組成を 0.25 以上とし、チャネル層 9 の In 組成と膜厚とを最適化することにより、室温でのチャネル層 9 の電子移動度を 8300 cm²/V·s 以上とする。チャネル層 9 の上下に接して、膜厚が 4 nm 以上の GaAs 層 8 及び 10 を積層してもよい。

WO 2004/059744 A1



DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

化合物半導体エピタキシャル基板及びその製造方法

5 技術分野

本発明は、3－5族化合物半導体からなる歪チャネル高電子移動度電界効果型トランジスタ用の化合物半導体エピタキシャル基板及びその製造方法に関する。

背景技術

GaAs系3－5族化合物半導体を用いた電子素子は、電子移動度が高いため
10 超高速であり、高周波動作が可能であるという特長を生かして、超高速トランジスタへの応用が盛んに行われており、最近では、消費電力が少ないというメリットにより携帯電話等の高周波通信機器の各種主要部品として実用化されている。

このような超高速トランジスタとしては、高電子移動度電界効果型トランジスタ（以下HEMTという）が広く知られている。HEMTは、高電子移動度トラ
15 ンジスタ（High Electron Mobility Transistor）、変調ドープ電界効果トランジスタ（Modulation Doped Field Effect Transistor, MODFET）、又はヘテロ接合電界効果トランジスタ（Hetero-Junction Field Effect Transistor, HJFET）などとも呼ばれる。

HEMTは、電子を供給する電子供給層（ドープ層）と、電子が走行するチャ
20 ネル層とを異なる材料で構成する選択ドープヘテロ構造を採る点が大きな特徴である。このヘテロ構造において、電子供給層内のn型不純物から供給された電子は、ヘテロ接合を構成する材料の電子親和力の差によりヘテロ接合界面のチャンネル側に形成されるポテンシャル井戸に溜まり、二次元電子ガスを形成する。このように、電子を供給するn型不純物は電子供給層内に、電子は高純度なチャネ
25 ルの中にと、イオン化不純物と電子とが空間的に分離されているため、チャンネル内の二次元電子ガスはイオン化不純物による散乱を受けず、高い電子移動度を示す。

HEMTは、通常、所定の電子特性を有する各薄膜結晶層を所定の構造を有するようにGaAs単結晶基板上に積層成長させてなるエピタキシャル基板を用い

て作製することができる。HEMTはチャネルが高い電子移動度を有することが重要である。そのため、HEMT構造を形成する薄膜結晶層を単原子層オーダーで精密に制御することが要求されるので、HEMT構造を有するエピタキシャル基板の製造方法としては、分子線エピタキシャル成長法（以下MBE法という）

- 5 又は有機金属熱分解法（以下MOCVD法という）が用いられている。

MBE法は、真空蒸着法的一种であり、膜厚制御性や界面急峻性に優れている一方で、量産性が劣ると言われている。これに対し、MOCVD法は、エピタキシャル層を構成する原子種の有機金属化合物又は水素化物を原料として用い、単結晶基板上で熱分解させて結晶成長を行う方法であるため、原料として利用可能

10 な物質の範囲が広く、エピタキシャル結晶の組成及び膜厚を極めて広範囲にかつ精密に制御できるという特徴があり、大量の基板を再現性良く処理する目的に適している。

更に、最近の急速なMOCVD法の技術革新は、不純物量の制御のみならず、この方法では難しいとされていた急峻なヘテロ界面や良好な面内均一性をも実現

15 可能にした。実際、MOCVD法により作製したエピタキシャル基板は、HEMTの電子移動度の点において、MBE法により作製したものに比べて優るとも劣らない特性を示すまでになっており、工業的に広く用いられている。

HEMTは、このように高い電子移動度を有する二次元電子ガスを利用した超高速のトランジスタであるので、HEMTの高性能化のためにはチャネル層の電子移動度は高ければ高いほど良い。そのため、最近では、電子輸送特性に優れていることに加えて、In組成に応じてエネルギーギャップを大幅に変えることができ、二次元電子を効果的に閉じ込めることができるなどの理由から、GaAs

20 に代わってInGaAsがチャネル層の材料として用いられている。また、InGaAsに組み合わせる材料としてAlGaAs又はGaAsが知られている。

25 InGaAsは、In組成を高めると、それにつれて移動度が高くなる性質がある。これによりトランジスタを高性能化できるが、In組成を高くするとInGaAsの格子定数も大きくなり、電子供給層や基板材料と格子不整合を生じることになる。そこで、準安定な（pseudomorphic）状態で結晶成長を行う方法が用いられている。これは、格子定数の異なる材料どうしの格子不整合を伴う成長

であっても、臨界膜厚と呼ばれる一定の膜厚以下であれば、格子は歪んで弾性変形するものの、転位などの格子の乱れがない良質な結晶層を作製できるという性質を利用したものである。このような InGaAs 歪み層をチャネル層として用いた HEMT は、歪みチャネル高電子移動度電界効果型トランジスタ

5 (pseudomorphic-HEMT、以下 p-HEMT という) と呼ばれている。

InGaAs 層の臨界膜厚は、 In 組成及び膜厚の関数として与えられることが知られている。例えば、 GaAs 層に対する InGaAs 層の系では、臨界膜厚は、J. Crystal Growth, 27 (1974) p. 118 及び J. Crystal Growth, 32 (1974) p. 265 に示される理論式
10 のように表され、この理論式は実験的にも概ね正しいことが確認されている。また、特開平 6-21106 号公報では、高い移動度を有する p-HEMT を効率良く製造できるエピタキシャル基板として、この理論式で規定される In 組成と膜厚の関係において、一定の関係式を用いて In 組成の範囲を更に限定したエピタキシャル基板が開示されている。実際、結晶性の低下をきたすことなくエピタ
15 キシャル成長可能な InGaAs 歪みチャネル層として、 In 組成 0.20、膜厚 13 nm 程度の InGaAs 層が実用化されている。

また、更に移動度を高めるためには、イオン化不純物による二次元電子の散乱を更に小さくすることが有効である。そのため、電子供給層とチャネル層との間に電子供給層と同じ材質及び同じ組成を有するが不純物を添加しない層をスペー
20 サ層として挿入することもある。例えば、第 2708863 号特許公報には、p-HEMT 構造のチャネル層に用いられる InGaAs 歪み層と n-AlGaAs 電子供給層との間に AlGaAs 層と GaAs 層からなるスペーサ層を挿入し、成長条件を最適化することにより、二次元電子ガス濃度と電子移動度を改善するようにした構成が開示されている。

25 このように、歪み InGaAs 層をチャネル層とした p-HEMT は、チャネル層の In 組成を高くし、チャネル層と電子供給層又はスペーサ層とのバンドギャップの差を大きく設定することにより、量子効果を効果的に作用させて多数の二次元電子を閉じ込めることができるので、電子濃度の向上と高移動度とを両立できるという長所がある。

電子移動度は、電界効果型トランジスタの重要な性能指標であるオン抵抗、最大電流値又はトランスコンダクタンス等の諸特性を向上させる上で重要なパラメータであることはよく知られている。従って、電子移動度を更に改善することにより、立ち上がり抵抗（オン抵抗）の低減を達成でき、これにより消費電力を低減できる。また、低消費電力化により発熱量を削減できるので、デバイスの高集積化が可能となるだけでなく、チップサイズを小さくすることができるので、1枚のエピタキシャル基板から製造できるチップの数を増やすことができ、モジュール設計の自由度を高めることもできる。このような観点から、携帯電話等の各種携帯機器に用いられる p-HEMT には、電子移動度のより一層の改善が望まれている。

しかしながら、p-HEMT 構造を有するエピタキシャル基板においては、二次元電子ガス濃度と電子移動度とを同時に高くすることによりトランジスタの特性を更に向上できるという観点から見ても、電子移動度はまだ満足できる値に達していない。例えば、「化合物半導体・材料の量産段階突入②」～電子デバイス用化合物半導体材料～、乙木洋平、半導体産業新聞フォーラム「化合物半導体の全貌 2002-再浮上に向けて動き出した光・高周波デバイスの胎動」、2002年6月5日、東京・御茶ノ水 明神会館、に示されるように、p-HEMT 構造エピタキシャル基板においてこれまでに報告されている室温（300K）におけるチャネル層での電子移動度の最高値は、二次元電子濃度 $2.06 \times 10^{12} / \text{cm}^2$ において $8170 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、二次元電子濃度 $2.77 \times 10^{12} / \text{cm}^2$ において $7970 \text{ cm}^2 / \text{V} \cdot \text{s}$ 程度であった。

二次元電子ガスの室温（300K）での電子移動度は、結晶格子による散乱及び GaAs 電子有効質量で決まると考えられている。そのため、歪み InGaAs 層をチャネル層とした場合には、In の添加により、電子の有効質量が減少し電子移動度が上がることが期待される反面、In と Ga による混晶散乱の増加により電子移動度が低下する懸念がある。更に、電子の有効質量については、二次元電子ガス面に対して垂直な方向と水平な方向について異方性が生じるとされ、実用上重要な水平方向の有効質量については未だ報告例はなく、電子の有効質量を下げ電子移動度を上げるという確かな方策は何もないのが現状であった。

一方、InP単結晶基板を用いてこれに格子整合させたInGaAsでは、室温での電子移動度が $10000\text{ cm}^2/\text{V}\cdot\text{s}$ という値が早くから報告されている。また、最近では、GaAs単結晶基板上において、InAlAsをバッファ層としIn混晶比を段階的に変化させることにより、バッファ層の格子定数をInPの格子定数へと段階的に変化させ、InPの格子定数に近いバッファ層を形成する技術、いわゆるメタモルフィック技術が開発されている。この技術を用いて形成したバッファ層上に、InGaAs層をチャンネルとする変調ドープ構造を形成することにより、 $9000\text{ cm}^2/\text{V}\cdot\text{s}$ を超える電子移動度が報告されている。すなわちチャンネルに歪みのないInGaAsではその低い電子有効質量に見合った、GaAsを超える高い電子移動度が可能であったのである。

このように、 $8200\text{ cm}^2/\text{V}\cdot\text{s}$ を超えるような高い電子移動度を有する高性能トランジスタを実現しようとする場合、InP単結晶基板を用いるか、あるいは上記のようにメタモルフィック技術によりGaAs単結晶基板上に特殊なバッファ層を積層する必要がある。しかし、InP単結晶基板を用いる場合、InPと格子整合するInGaAs層をチャンネル層とし、これに格子整合するInAlAs層を電子供給層として用いた変調ドープ系構造のエピタキシャル基板が必要となる。そのため、InP単結晶基板を用いる場合には原料コストが極めて高いものとなってしまう。一方、メタモルフィック技術を用いる場合でも、厚膜のバッファ層を形成することになるので、製造コストが高くなるだけでなく、従来のGaAs系とは異なる新しい材料加工技術が必要となるという問題が生じ、更にバッファ層の結晶欠陥密度が高いため信頼性が低い等の問題が生じる。

そのため、電子供給層にn-AlGaAs層を用い、チャンネル層に歪みInGaAs層を用いたp-HEMT構造エピタキシャル基板において、現在報告されている値よりも高い二次元電子ガス濃度と高い電子移動度を併せ持つ、更に改善されたエピタキシャル基板が強く望まれている。

発明の開示

本発明の目的は、上述の各種要求性能を達成するために必要不可欠な高い電子移動度を有するp-HEMTに用いられるエピタキシャル基板及びその製造方法を提供することにある。

本発明者らは、上記課題を解決するために鋭意検討を行った結果、InGaAs
sチャンネル層のIn組成と膜厚とを最適化し、更に、InGaAsチャンネル層と
n-AlGaAs電子供給層との間に設けられるAlGaAs層又はGaAs層
からなるスペーサ層の膜厚を最適化した、p-HEMT構造用のエピタキシャル
5 基板が、これまでに報告されたことのない高い電子移動度と高い二次元電子ガス
濃度を併せ持つことを見出し、これらの知見に基づいて本発明をなすに至った。

本発明の第一の態様によれば、InGaAs層を歪チャンネル層とし、及びn型
不純物を含有するAlGaAs層を電子供給層として含む歪チャンネル高電子移動
度電界効果型トランジスタに用いられる化合物半導体エピタキシャル基板におい
10 て、該InGaAs層の室温での電子移動度が $8300\text{ cm}^2/\text{V}\cdot\text{s}$ 以上であ
る上記化合物半導体エピタキシャル基板が提案される。前記歪チャンネル層におい
て、室温での二次元電子ガス濃度は、 $2.20 \times 10^{12}/\text{cm}^2$ 以上とすること
ができる。

本発明の第二の態様によれば、上記第一の態様において、前記歪チャンネル層を
15 構成するInGaAs層のIn組成が0.25以上である化合物半導体エピタキ
シャル基板が提案される。

本発明の第三の態様によれば、上記第一の態様において、前記歪チャンネル層の
上下に接して、膜厚が4nm以上のGaAs層が積層されている化合物半導体エ
ピタキシャル基板が提案される。

20 本発明の第四の態様によれば、各化合物半導体の層を有機金属熱分解法(MO
CVD)法を用いてエピタキシャル成長させることを含む、上記第一、第二又は
第三の態様の化合物半導体エピタキシャル基板の製造方法が提案される。

図面の簡単な説明

図1は本発明の実施例1に係るエピタキシャル基板の層構造図である。

25 図2は本発明の効果を表すための実験結果を示すグラフであって、チャンネル層
のIn組成と室温におけるチャンネル層の電子移動度の関係を示すグラフである。

図3は本発明の実施例2に係るエピタキシャル基板の層構造図である。

図4は本発明の比較例に係るエピタキシャル基板の層構造図である。

発明を実施するための形態

以下、図面を参照して本発明の実施の形態の一例につき詳細に説明する。

図1は、本発明によるHEMT構造エピタキシャル基板の第一の実施例の断面構造を説明するための図である。図1において、1は単結晶基板であるGaAs単結晶基板、2～5はいずれもGaAs単結晶基板1上に積層されたバッファ層である。ここでは、バッファ層2～5は、それぞれ200nm厚のi-GaAs層、250nm厚の $i\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 層、250nm厚のi-GaAs層、200nm厚の $i\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 層として積層されている。

6は、4nm厚の $n\text{-Al}_{0.24}\text{Ga}_{0.76}\text{As}$ 層として形成され、n型不純物を $3 \times 10^{18} / \text{cm}^3$ の濃度でドーピングしたバック側電子供給層である。バック側電子供給層6の上には、バック側スペーサ層7及び8がこの順序で積層されている。ここでは、バック側スペーサ層7は3nm厚の $i\text{-Al}_{0.24}\text{Ga}_{0.76}\text{As}$ 層、バック側スペーサ層8は6nm厚のi-GaAs層となっている。9は二次元電子を流すための二次元電子ガスが形成されるチャネル層であり、7.5nm厚の $i\text{-In}_{0.30}\text{Ga}_{0.70}\text{As}$ 層から成っている。

10及び11はそれぞれがフロント側スペーサ層であり、フロント側スペーサ層10は6nm厚のi-GaAs層及びフロント側スペーサ層11は3nm厚の $i\text{-Al}_{0.24}\text{Ga}_{0.76}\text{As}$ 層である。

12はフロント側電子供給層で、10nm厚の $n\text{-Al}_{0.24}\text{Ga}_{0.76}\text{As}$ 層として形成され、n型不純物が $3 \times 10^{18} / \text{cm}^3$ の濃度でドーピングされている。13及び14はいずれもアンドープ層で、それぞれ、3nm厚の $i\text{-Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層及び20nm厚のi-GaAs層として積層されている。

図1に示すエピタキシャル基板は上述のように積層成長しているので、バック側電子供給層6からバック側スペーサ層7及び8を介してチャネル層9へ電子が供給されると共に、フロント側電子供給層12からもフロント側スペーサ層11及び10を介してチャネル層9へ電子が供給される。この結果チャネル層9には、高濃度の二次元電子ガスが形成される。

ここで、チャネル層9のIn組成を0.25以上である0.3とし、更にチャ

ネル層 9 の膜厚を 7.5 nm とすることによりチャネル層 9 の In 組成と膜厚との最適化を図っているので、チャネル層 9 内における二次元電子ガス濃度を高めることができる上に、二次元電子ガスの電子移動度を従来に比べて格段に向上させることができる。この結果、チャネル層 9 における室温 (300 K) での二次元電子ガス濃度を $2.20 \times 10^{12} / \text{cm}^2$ 以上としても、そのときの電子移動度を少なくとも $8300 \cdot \text{cm}^2 / \text{V} \cdot \text{s}$ 以上という値にすることができる。

このように、図 1 に示す実施の形態では、InGaAs 歪みチャネル層であるチャネル層 9 の In 組成を 0.3 とした場合を例に説明したが、種々の In 組成について、チャネル層膜厚が最適となるように調整しながら、In 組成とチャネルの電子移動度の関係を調べた結果、図 2 に示すような関係が得られた。図 2 の測定では、チャネル層 9 の膜厚は、チャネル層 9 の In 組成を用いて J. Crystal Growth, 27 (1974) p. 118 及び J. Crystal Growth, 32 (1974) p. 265 に記載の理論式から求めた臨界膜厚の 80% 程度の厚さとした。チャネル層 9 における In の組成を 0.25 以上とした時、チャネル層 9 の膜厚は 10.5 nm 以下とした。また、図 2 に示す各データ点での二次元電子濃度は、 $(2.2 \sim 2.4) \times 10^{12} / \text{cm}^2$ に調整している。

以上により、ノンドープ InGaAs 層のチャネル層及び n 型不純物を含有する AlGaAs 層の電子供給層をエピタキシャル成長させた p-HEMT 構造において、チャネル層における In の組成を 0.25 以上とし、かつその膜厚を最適化することにより、二次元電子ガスの濃度を高めると共にチャネル層における室温 (300 K) での二次元電子ガスの移動度を $8300 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上とすることができることが確認できた。ここで、チャネル層の上下に接して積層した GaAs 層の膜厚は、4 nm 以上であればよいことが確かめられた。

図 1 に示す層構造のエピタキシャル基板を作製する方法について説明する。まず、GaAs 単結晶基板 1 を用意する。GaAs 単結晶基板 1 は高抵抗の半絶縁性 GaAs 単結晶基板であり、LEC (Liquid Encapsulated Czochralski) 法、VB (Vertical Bridgman) 法、VGF (Vertical Gradient Freezing) 法等で製造された GaAs 基板が好適であり、いずれの方法で製造された場合であって

も、1つの結晶学的面方位から 0.05° 乃至 10° 程度の傾きをもった基板を用意する。

上述の如く用意したGaAs単結晶基板1の表面を、脱脂洗浄、エッチング、水洗、乾燥処理した後、結晶成長炉の加熱台上に載置する。炉内を高純度水素で
5 充分置換した後、加熱を開始する。適度な温度に安定したところで炉内に砒素原料を導入する。GaAs層を成長する際には、続いてガリウム原料を導入する。また、AlGaAs層を成長する際には、砒素原料の導入に加えて、ガリウム原料及びアルミニウム原料を導入する。InGaAs層を成長する際には、砒素原料の導入に加えて、ガリウム原料及びインジウム原料を導入する。各原料の供給
10 量と時間を制御することにより、所望の積層構造を成長させていく。最後に、各原料の供給を停止して結晶成長を停止し、冷却後、図1に示すように積層したエピタキシャル基板を炉内から取り出して結晶成長を完了する。結晶成長時の基板温度は、通常、およそ 500°C から 800°C である。

図1に示す層構造のエピタキシャル基板は、MOCVD法を用いて作製すること
15 とができる。MOCVD法を用いることの利点は、エピタキシャル層を構成する原子種の有機金属化合物又は水素化物を原料として用いることができることである。

実際には、エピタキシャル成長時の砒素原料として、一般に三水素化砒素（アルシン）を用いることが多いが、アルシンの水素を炭素数が1から4のアルキル
20 基で置換したアルキルアルシンを使用することもできる。ガリウム、アルミニウム、及びインジウムの原料としては、各金属原子に炭素数が1から3のアルキル基又は水素が結合したトリアルキル化物又は三水素化物が、一般に用いられる。

n型ドーパントとしては、シリコン、ゲルマニウム、スズ、硫黄、セレン等の水素化物又は炭素数が1から3のアルキル基を有するアルキル化物を用いること
25 ができる。

以下、本発明について、実施例と比較例とをもとに、より詳細に説明するが、本発明はこれに限定されるものではない。

実施例1

図1に示す層構造のエピタキシャル基板を減圧バレル型MOCVD炉を用い、

以下に説明するようにして作製した。

GaAs 単結晶基板 1 として、VGF 法で製造された半絶縁性 GaAs 単結晶基板を用意し、GaAs 単結晶基板 1 上に化合物半導体の各層をエピタキシャル成長させた。3 族元素の原料としては、トリメチルガリウム (TMG)、トリメチルアルミニウム (TMA) 及びトリメチルインジウム (TMI) を用い、5 族元素の原料としては、アルシン (AsH_3) を用いた。n 型ドーパントとしては、シリコン (Si) を用いた。原料のキャリアガスとしては、高純度水素を用い、反応炉内圧力 0.1 atm、成長温度 650°C、成長速度 3~1 $\mu m/hr$ の成長条件でエピタキシャル成長を行った。

- 10 電子を走行させるためのチャネル層 9 には、In 組成 0.30、膜厚 7.5 nm の歪 InGaAs 層をエピタキシャル成長させた。

チャネル層 9 に用いた InGaAs 層の上下には、スペーサ層 8 及び 10 として i-GaAs 層を上下各 6.0 nm ずつ、エピタキシャル成長させた。

- 上記のようにして得られたエピタキシャル基板において、Van der Pauw 法によるホール測定を行った結果、室温 (300 K) での二次元電子ガス濃度が $2.28 \times 10^{12} / cm^2$ 、室温 (300 K) での電子移動度が 8990 $cm^2 / V \cdot s$ 、77 K での二次元電子ガス濃度が $2.59 \times 10^{12} / cm^2$ 、77 K での電子移動度が 35600 $cm^2 / V \cdot s$ と、これまでに報告されたことのない良好な値を得た。また、この構造について、Al ショットキー電極を用いた CV 測定を行った結果、残留キャリア濃度が $1 \times 10^{15} / cm^3$ となるときのピンチオフ電圧は -1.93 V であった。
- 20

実施例 2

- 図 3 に示す層構造のエピタキシャル基板を実施例 1 の場合と同様に、MOCVD 法により作製した。図 3 に示すエピタキシャル基板において、21 は半絶縁性 GaAs 単結晶基板、22~25 はバッファ層、26 はバック側電子供給層、27~28 はバック側スペーサ層、29 はチャネル層、30~31 はフロント側スペーサ層、32 はフロント側電子供給層、33 はアンドープ AlGaAs 層、及び 34 はアンドープ GaAs 層である。なお、各層の組成及び膜厚は図 3 中に表示通りである。
- 25

図1と図3とを比較して判るように、実施例2では、In組成0.35、膜厚5.5nmの歪InGaAs層をエピタキシャル成長させた点で実施例1と異なっている。その他の各層の形成については、実施例1の場合と同様である。

このようにして得られたエピタキシャル基板について、Van der Pauw法によるホール測定を行った結果、室温(300K)での二次元電子ガス濃度が $2.22 \times 10^{12} / \text{cm}^2$ 、室温(300K)での電子移動度が $8950 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、77Kでの二次元電子ガス濃度が $2.22 \times 10^{12} / \text{cm}^2$ 、77Kでの電子移動度が $33000 \text{ cm}^2 / \text{V} \cdot \text{s}$ と、良好な値を得た。また、上述の構造において、Alショットキー電極を用いたCV測定を行った結果、残留キャリア濃度が $1 \times 10^{15} / \text{cm}^3$ となるときのピンチオフ電圧は、 -1.75 V であった。

比較例

p-HEMT構造エピタキシャル基板において、チャネル層に用いられる歪みInGaAs層のIn組成及び膜厚と、このチャネル層の上下に積層されるi-GaAs層の膜厚だけを変えた図4に示す構造のエピタキシャル基板を、同じくMOCVD法を用いて作製した。図4に示すエピタキシャル基板において、41は半絶縁性GaAs単結晶基板、42～45はバッファ層、46はバック側電子供給層、47～48はバック側スペーサ層、49はチャネル層、50～51はフロント側スペーサ層、52はフロント側電子供給層、53はアンドープAlGaAs層、及び54はアンドープGaAs層である。なお、各層の組成及び膜厚は図4中に示す通りである。

図3と図4とを比較して判るように、比較例では、チャネル層49のIn組成を0.20とし、且つその膜厚を13.5nmとした点、及びチャネル層49の上下に設けたスペーサ層として働くi-GaAs層の膜厚をそれぞれ2.0nmとした点においてのみ図3(実施例2)の構成と異なっている。なお、図4に示されているこの比較例の構造は、従来からよく知られているp-HEMT構造である。

このようにして得られたエピタキシャル基板について、Van der Pauw法によるホール測定を行った結果、室温(300K)での二次元電子ガ

ス濃度は $2.55 \times 10^{12} / \text{cm}^2$ 、室温 (300 K) での電子移動度は $7200 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、77 Kでの二次元電子ガス濃度は $2.78 \times 10^{12} / \text{cm}^2$ 、77 Kでの電子移動度は $21900 \text{ cm}^2 / \text{V} \cdot \text{s}$ と、従来から報告されている程度の値しか得られなかった。また、このときの構造において、Alショットキー電極を用いたCV測定を行った結果、残留キャリア濃度が $1 \times 10^{15} / \text{cm}^3$ となるときのピンチオフ電圧は、 -2.12 V であった。

実施例及び比較例のエピタキシャル基板の層構造は、Hall測定による移動度評価、CV測定によるしきい値電圧測定などの二次元電子ガス特性評価のためのテスト構造である。FETデバイスの作製のための実際のエピタキシャル基板の層構造では、実施例及び比較例のエピタキシャル基板の層構造の第14層のノンドープGaAs層の膜厚を厚くし、更に、ソース電極及びドレイン電極とオーミックコンタクトをとるためのコンタクト層を積層したものとなっている。コンタクト層には、 $3 \times 10^{18} \sim 5 \times 10^{18} / \text{cm}^3$ 程度にシリコンをドーピングしたn-GaAs層を100 nm程度積層したものを通常用いる。しかし、本発明による移動度向上の効果は、コンタクト層の成長及びFETデバイス作製のためのプロセスにより損なわれることはない。実施例及び比較例のエピタキシャル基板特性評価用テスト構造においてのみならず、FETデバイスのためのエピタキシャル基板構造においても、本発明による移動度向上の効果は有効である。

これまで、InP基板を用いてこれに格子整合させたInGaAs層をチャンネル層とした系、又はGaAs基板上にメタモルフィック技術によりInPの格子定数に近いバッファ層を形成した上でこれに格子整合させたInGaAs層をチャンネル層とした系でしか得られなかった高い電子移動度が、本発明により初めてGaAs基板上の歪みInGaAsチャンネル系で得られたことは非常にインパクトが大きい。すなわち、高価で取扱いが難しいInP基板又は特殊なメタモルフィックバッファ技術を用いずに済むこと、また電子供給層又はバッファ層は基本的に従来のp-HEMTと同様であることから、従来のデバイス加工技術をそのまま適用できる点において、本発明の工業的なメリットは極めて大きい。

またHEMTの応用は電子移動度と密接に相関する電子速度に支配されるため、本発明のGaAs基板を用いたp-HEMTは、InP基板の使用又はメタモル

フィック技術でなければ実現が難しいとされている数十GHz～数百GHzにおよぶ超高周波帯での各種高速デバイスとしての使用の可能性を拓くものである。この点で本発明は当業界に多大なるメリットをもたらすものである。

産業上の利用可能性

- 5 本発明によれば、上述の如く、電子素子作製時にも有利となるような、これまでに報告されたことのない良好な特性を有するp-HEMT（歪チャネル高電子移動度電界効果型トランジスタ）構造の化合物半導体エピタキシャル基板を提供することができる。

請 求 の 範 囲

1. InGaAs層を歪チャンネル層とし、及びn型不純物を含有するAlGaAs層を電子供給層として含む歪チャンネル高電子移動度電界効果型トランジスタに用いられる化合物半導体エピタキシャル基板において、該InGaAs層の室温での電子移動度が $8300\text{ cm}^2/\text{V}\cdot\text{s}$ 以上である上記、化合物半導体エピタキシャル基板。
2. 前記歪チャンネル層を構成するInGaAs層のIn組成が0.25以上である請求項1記載の化合物半導体エピタキシャル基板。
- 10 3. 前記歪チャンネル層の上下に接して、膜厚が4nm以上のGaAs層が積層されている請求項1記載の化合物半導体エピタキシャル基板。
4. 各化合物半導体の層を有機金属熱分解法（MOCVD法）を用いてエピタキシャル成長させることを含む、請求項1、2又は3記載の化合物半導体エピタキシャル基板の製造方法。
- 15 5. 歪チャンネル層としてInGaAs層をIn組成が0.25以上となるようにエピタキシャル成長させ、電子供給層としてn型不純物を含有するAlGaAs層をエピタキシャル成長させ、及び該歪チャンネル層の上下に接してGaAs層を膜厚が4nm以上となるようにエピタキシャル成長させる請求項4記載の方法。

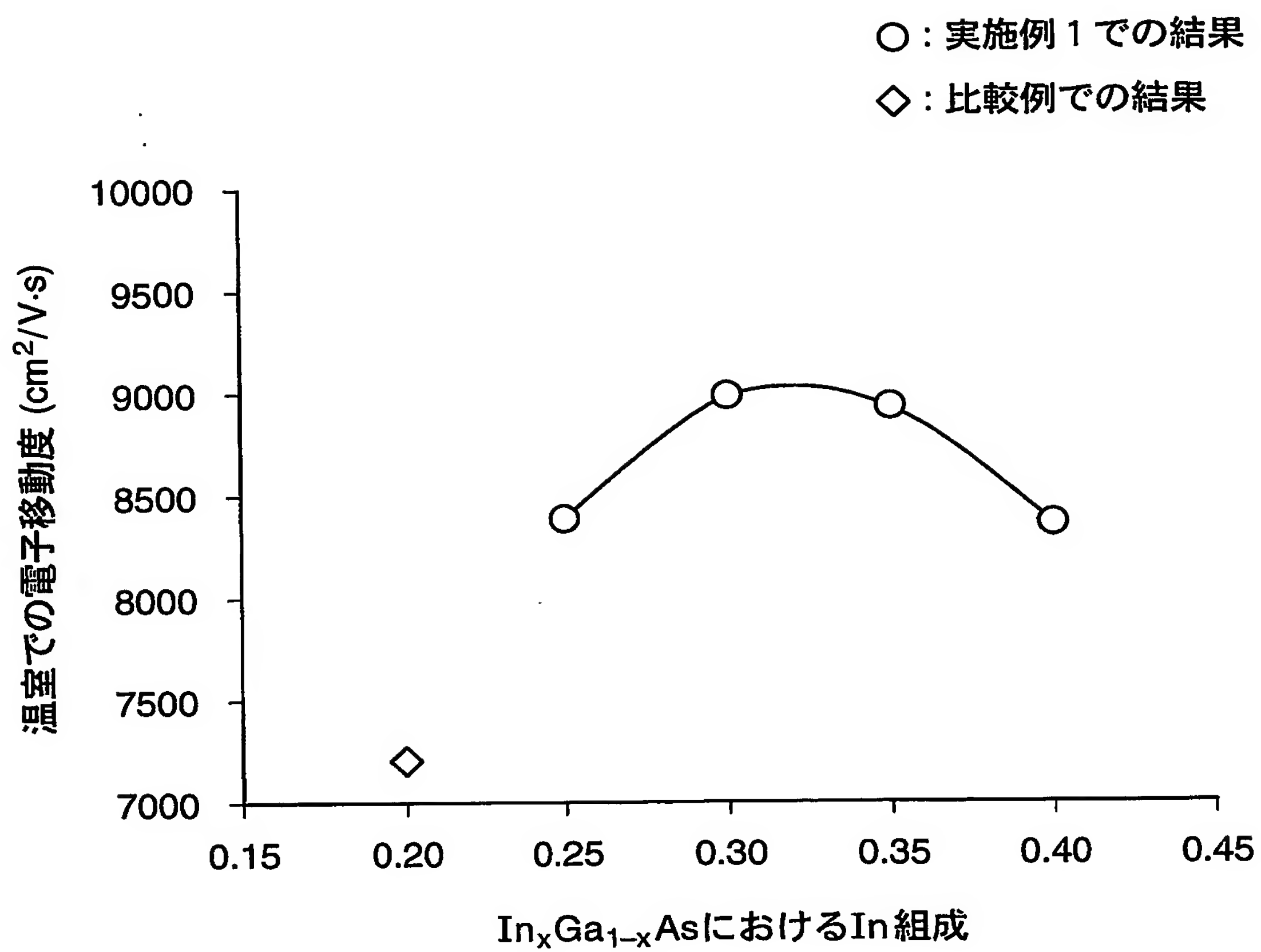
1/4

FIG. 1

i- GaAs 20nm	14
i- Al _{0.22} Ga _{0.78} As 3nm	13
n- Al _{0.24} Ga _{0.76} As 10nm 3E18/cm ³	12
i- Al _{0.24} Ga _{0.76} As 3nm	11
i-GaAs 6nm	10
i- In _{0.80} Ga _{0.70} As 7.5nm	9
i-GaAs 6nm	8
i- Al _{0.24} Ga _{0.76} As 3nm	7
n- Al _{0.24} Ga _{0.76} As 4nm 3E18/cm ³	6
i-Al _{0.25} Ga _{0.75} As 200nm	5
i-GaAs 250nm	4
i-Al _{0.25} Ga _{0.75} As 250nm	3
i-GaAs 200nm	2
GaAs 単結晶基板	1

2/4

FIG. 2



3/4

FIG. 3

i- GaAs 20nm	34
i- Al _{0.22} Ga _{0.78} As 3nm	33
n- Al _{0.24} Ga _{0.76} As 10nm 3E18/cm ³	32
i- Al _{0.24} Ga _{0.76} As 3nm	31
i-GaAs 6nm	30
i- In _{0.35} Ga _{0.65} As 5.5nm	29
i-GaAs 6nm	28
i- Al _{0.24} Ga _{0.76} As 3nm	27
n- Al _{0.24} Ga _{0.76} As 4nm 3E18/cm ³	26
i-Al _{0.25} Ga _{0.75} As 200nm	25
i-GaAs 250nm	24
i-Al _{0.25} Ga _{0.75} As 250nm	23
i-GaAs 200nm	22
GaAs 単結晶基板	21

FIG. 4

i- GaAs 20nm	54
i- Al _{0.22} Ga _{0.78} As 7nm	53
n- Al _{0.24} Ga _{0.76} As 10nm 3E18/cm ³	52
i- Al _{0.24} Ga _{0.76} As 3nm	51
i-GaAs 2nm	50
i- In _{0.20} Ga _{0.80} As 13.5nm	49
i-GaAs 2nm	48
i- Al _{0.24} Ga _{0.76} As 3nm	47
n- Al _{0.24} Ga _{0.76} As 4nm 3E18/cm ³	46
i-Al _{0.25} Ga _{0.75} As 200nm	45
i-GaAs 250nm	44
i-Al _{0.25} Ga _{0.75} As 250nm	43
i-GaAs 200nm	42
GaAs 単結晶基板	41

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16395

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/778, H01L29/812, H01L29/201, H01L21/338, H01L21/205

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/778-29/812, H01L29/201-29/205, H01L21/338,
H01L21/20-21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Web of Science

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	U. Strauß et al., 'Carrier mobilities in graded In _x Ga _{1-x} As/Al _{0.2} Ga _{0.8} As quantum wells for high electron mobility transistors', Journal of Applied Physics, Vol.80, No.1, 01 July, 1996 (01.07.96), pages 322 to 325	1-5
Y	JP 6-84959 A (Fujitsu Ltd.), 25 March, 1994 (25.03.94), Full text; Figs. 1 to 9 (Family: none)	1-5
Y	JP 6-163599 A (NEC Corp.), 10 June, 1994 (10.06.94), Full text; Figs. 1 to 3 (Family: none)	3, 5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
15 March, 2004 (15.03.04)

Date of mailing of the international search report
30 March, 2004 (30.03.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16395

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-210819 A (Hitachi Cable, Ltd.), 03 August, 2001 (03.08.01), Full text; Figs. 1 to 4 (Family: none)	4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/778, H01L29/812, H01L29/201,
H01L21/338, H01L21/205

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/778-29/812, H01L29/201-29/205,
H01L21/338, H01L21/20-21/205

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
Web of Science

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	U. Strauß et.al., 'Carrier mobilities in graded InGa _{1-x} As/Al _{0.2} Ga _{0.8} As quantum wells for high electron mobility transistors', Journal of Applied Physics, Vol.80, No. 1, 1 July 1996, p.322-325	1-5
Y	J P 6-84959 A (富士通株式会社) 1994.03.25, 全文, 第1-9図 (ファミリーなし)	1-5
Y	J P 6-163599 A (日本電気株式会社) 1994.06.10, 全文, 第1-3図 (ファミリーなし)	3, 5

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15.03.2004

国際調査報告の発送日

30.3.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

淵 真悟

4L

2933

電話番号. 03-3581-1101 内線 3496

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 1 - 2 1 0 8 1 9 A (日立電線株式会社) 2 0 0 1 . 0 8 . 0 3 , 全文, 第 1 - 4 図 (ファミリーなし)	4